

PACKET EXCHANGER, SWITCH CONTROL METHOD THEREFOR, AND STORAGE MEDIUM STORING SWITCH CONTROL PROGRAM

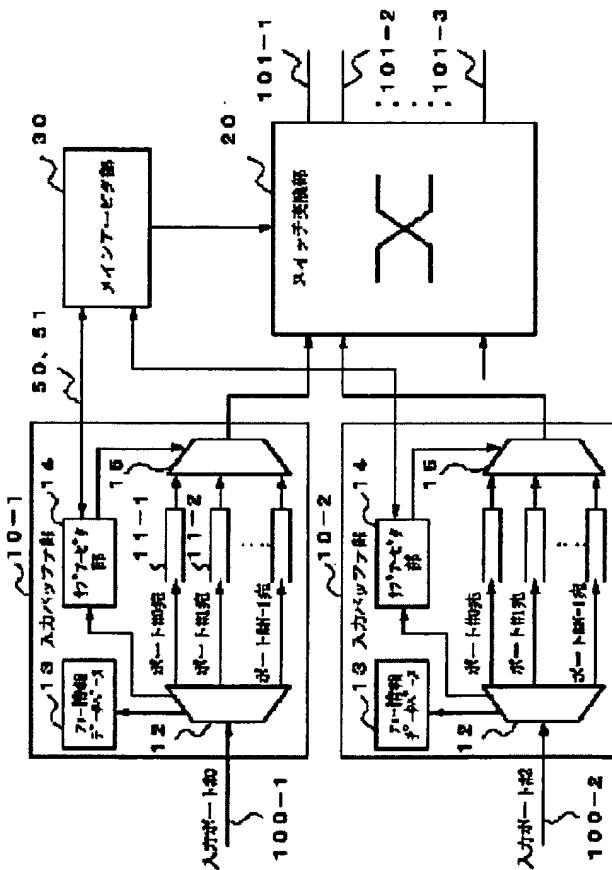
Patent number: JP2000349765
Publication date: 2000-12-15
Inventor: SHINOHARA MASAYUKI
Applicant: NIPPON ELECTRIC CO
Classification:
 - International: H04L12/28
 - european:
Application number: JP19990160190 19990607
Priority number(s): JP19990160190 19990607

[Report a data error here](#)

Abstract of JP2000349765

PROBLEM TO BE SOLVED: To provide a packet exchange which avoids generation of HOL blocking, improves throughput and reduces a buffer overflow frequency.

SOLUTION: This device is equipped with input buffer parts 10-1 to 10-n which are provided by every input ports and temporarily accumulate a packet that reaches a corresponding input port, a switch exchange part 20 which controls connection of an input port and an output port and switches a packet, and a main arbiter part 30 which performs arbitration processing for deciding any of which input buffer parts 10-1 to 10-n an output permission to a specified output port is to be given to. With respect to each of the input buffer parts 10-1 to 10-n and each of output ports 101-1 to 101-n, in the main arbiter part 30, a destination output port which is ready for output is compared with an output port in an empty state in the input buffer parts by specified order, the coincident input buffer parts 10-1 to 10-n and the output ports 101-1 to 101-n are coordinated to one another, and the output permission is given.



Data supplied from the [esp@cenet](#) database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-349765

(P2000-349765A)

(43)公開日 平成12年12月15日(2000.12.15)

(51)Int.Cl.⁷

H 0 4 L 12/28

識別記号

F I

テマコート(参考)

H 0 4 L 11/20

H 5 K 0 3 0

審査請求 有 請求項の数15 O L (全 15 頁)

(21)出願番号 特願平11-160190

(22)出願日 平成11年6月7日(1999.6.7)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 棚原 誠之

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100093595

弁理士 松本 正夫

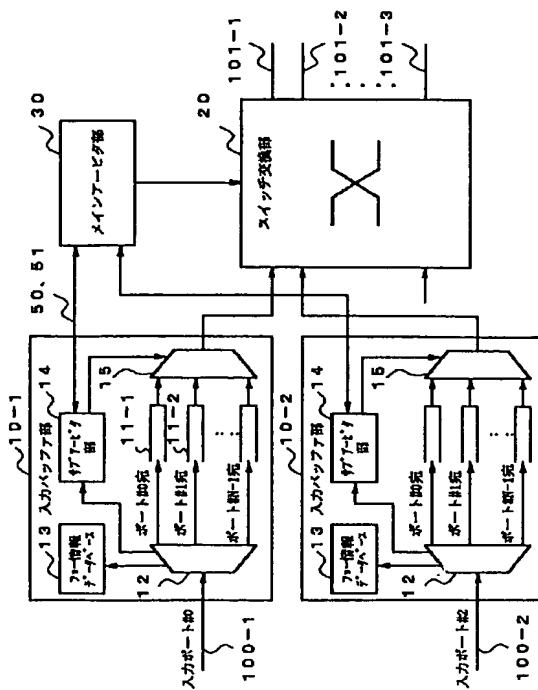
F ターム(参考) 5K030 GA03 HA10 HB29 KX12 KX18

(54)【発明の名称】 パケット交換装置及びそのスイッチ制御方法ならびにスイッチ制御プログラムを格納した記憶媒体

(57)【要約】

【課題】 HOLブロッキングの発生を回避して、スループットの向上とバッファ溢れ頻度の低減を実現するパケット交換装置を提供する。

【解決手段】 入力ポートごとに設けられ、対応する入力ポートに到着するパケットを一時的に蓄積する入力バッファ部10-1～10-nと、入力ポートと出力ポートとの接続を制御してパケットを交換するスイッチ交換部20と、入力バッファ部10-1～10-nのうちのいずれに所定の出力ポートへの出力許可を与えるかを決定する調停処理を行うメインアービタ部30とを備え、メインアービタ部30が、各入力バッファ部10-1～10-nと各出力ポート101-1～101-nとに関して、所定の順番で、入力バッファ部においてパケット出力準備ができている宛先出力ポートと空き状態の出力ポートとを比較し、一致する入力バッファ部10-1～10-nと出力ポート101-1～101-nとを対応づけて出力許可を与える。



【特許請求の範囲】

【請求項1】 パケット通信で用いられ、複数の入力ポートと複数の出力ポートとの間でスイッチングを行うパケット交換装置において、前記入力ポートごとに設けられ、対応する入力ポートに到着するパケットを一時的に蓄積する入力バッファと、前記入力ポートと前記出力ポートとの接続を制御してパケットを交換するスイッチ交換手段と、前記入力バッファのうちのいずれに所定の前記出力ポートへの出力許可を与えるかを決定する調停処理を行うアービタとを備え、前記アービタが、前記各入力バッファと前記各出力ポートとに関して、所定の順番で、前記入力バッファにおいてパケット出力準備ができている宛先出力ポートと空き状態の前記出力ポートとを比較し、一致する前記入力バッファと前記出力ポートとを対応づけて出力許可を与えることを特徴とするパケット交換装置。

【請求項2】 前記アービタ手段が、

前記各入力バッファを、予め定められた順序にしたがって着目し、着目中の前記入力バッファに関して、予め定められた順序にしたがって前記各出力ポートに対するパケット出力が可能かどうかを順次検査することによりパケットの出力先の宛先である出力ポートを決定する出力ポート選択処理を行うことを特徴とする請求項1に記載のパケット交換装置。

【請求項3】 前記アービタ手段が、

最初に着目する前記入力バッファを、前記調停処理が行われるたびに、前記入力バッファに着目する順序にしたがって更新し、前記出力ポート選択処理において最初に検査対象となる前記出力ポートを、ポート数に相当する回数の前記調停処理が行われるたびに、前記出力ポート選択処理の検査対象とする順序にしたがって更新することを特徴とする請求項2に記載のパケット交換装置。

【請求項4】 前記アービタ手段が、

前記出力ポートを、予め定められた順序にしたがって着目し、着目中の前記出力ポートに関して、予め定められた順序にしたがって前記各入力バッファが該着目中の出力ポートに対するパケット出力可能かどうかを順次検査することにより該着目中の出力ポートを宛先としてパケット出力を行う前記入力バッファを決定する入力バッファ選択処理を行うことを特徴とする請求項1に記載のパケット交換装置。

【請求項5】 前記アービタ手段が、

最初に着目する前記出力ポートを、前記調停処理が行われるたびに、前記出力ポートに着目する順序にしたがって更新し、前記入力バッファ選択処理において最初に検査対象とな

る前記入力バッファを、ポート数に相当する回数の前記調停処理が行われるたびに、前記入力バッファ選択処理の検査対象とする順序にしたがって更新することを特徴とする請求項4に記載のパケット交換装置。

【請求項6】 パケット通信で用いられ、複数の入力ポートと複数の出力ポートとの間のスイッチングを行うパケット交換装置のスイッチ制御方法において、前記入力ポートに到着したパケットを前記入力ポートに対応して設けられたバッファ手段に一時的に蓄積し、前記各バッファ手段と前記各出力ポートとに関して、所定の順番で、前記バッファ手段においてパケット出力準備ができている宛先出力ポートと空き状態の前記出力ポートとを比較し、一致する前記入力バッファと前記出力ポートとを対応づけて出力許可を与える調停処理を行い、

前記調停処理の結果に応じて、前記入力ポートと前記出力ポートとの接続を制御してパケットを交換することを特徴とするスイッチ制御方法。

【請求項7】 前記調停処理において、

前記各入力バッファを、予め定められた順序にしたがって着目し、着目中の前記入力バッファに関して、予め定められた順序にしたがって前記各出力ポートに対するパケット出力が可能かどうかを順次検査することによりパケットの出力先の宛先である出力ポートを決定する出力ポート選択処理を行うことを特徴とする請求項6に記載のスイッチ制御方法。

【請求項8】 前記調停処理において、

最初に着目する前記入力バッファを、前記調停処理が行われるたびに、前記入力バッファに着目する順序にしたがって更新し、前記出力ポート選択処理において最初に検査対象となる前記出力ポートを、ポート数に相当する回数の前記調停処理が行われるたびに、前記出力ポート選択処理の検査対象とする順序にしたがって更新することを特徴とする請求項7に記載のスイッチ制御方法。

【請求項9】 前記調停処理において、

前記出力ポートを、予め定められた順序にしたがって着目し、着目中の前記出力ポートに関して、予め定められた順序にしたがって前記各入力バッファが該着目中の出力ポートに対するパケット出力可能かどうかを順次検査することにより該着目中の出力ポートを宛先としてパケット出力を行う前記入力バッファを決定する入力バッファ選択処理を行うことを特徴とする請求項6に記載のスイッチ制御方法。

【請求項10】 前記調停処理において、

最初に着目する前記出力ポートを、前記調停処理が行われるたびに、前記出力ポートに着目する順序にしたがって更新し、

前記入力バッファ選択処理において最初に検査対象となる前記入力バッファを、ポート数に相当する回数の前記調停処理が行われるたびに、前記入力バッファ選択処理の検査対象とする順序にしたがって更新することを特徴とする請求項9に記載のスイッチ制御方法。

【請求項11】 パケット通信で用いられ、複数の入力ポートと複数の出力ポートとの間のスイッチングを行うパケット交換装置を制御して、スイッチングの制御を行うスイッチ制御プログラムを格納した記憶媒体において、

前記入力ポートに到着したパケットを前記入力ポートに対応して設けられたバッファ手段に一時的に蓄積し、

前記各バッファ手段と前記各出力ポートとに関して、所定の順番で、前記バッファ手段においてパケット出力準備ができている宛先出力ポートと空き状態の前記出力ポートとを比較し、一致する前記入力バッファと前記出力ポートとを対応づけて出力許可を与える調停処理を行い、

前記調停処理の結果に応じて、前記入力ポートと前記出力ポートとの接続を制御してパケットを交換することを特徴とするスイッチ制御プログラムを格納した記憶媒体。

【請求項12】 前記調停処理において、

前記各入力バッファを、予め定められた順序にしたがって着目し、

着目中の前記入力バッファに関して、予め定められた順序にしたがって前記各出力ポートに対するパケット出力が可能かどうかを順次検査することによりパケットの出力先の宛先である出力ポートを決定する出力ポート選択処理を行うことを特徴とする請求項11に記載のスイッチ制御プログラムを格納した記憶媒体。

【請求項13】 前記調停処理において、

最初に着目する前記入力バッファを、前記調停処理が行われるたびに、前記入力バッファに着目する順序にしたがって更新し、

前記出力ポート選択処理において最初に検査対象となる前記出力ポートを、ポート数に相当する回数の前記調停処理が行われるたびに、前記出力ポート選択処理の検査対象とする順序にしたがって更新することを特徴とする請求項12に記載のスイッチ制御プログラムを格納した記憶媒体。

【請求項14】 前記調停処理において、

前記出力ポートを、予め定められた順序にしたがって着目し、

着目中の前記出力ポートに関して、予め定められた順序にしたがって前記各入力バッファが該着目中の出力ポートに対するパケット出力可能かどうかを順次検査することにより該着目中の出力ポートを宛先としてパケット出力を行う前記入力バッファを決定する入力バッファ選択処理を行うことを特徴とする請求項11に記載のスイッ

チ制御プログラムを格納した記憶媒体。

【請求項15】 前記調停処理において、

最初に着目する前記出力ポートを、前記調停処理が行われるたびに、前記出力ポートに着目する順序にしたがって更新し、

前記入力バッファ選択処理において最初に検査対象となる前記入力バッファを、ポート数に相当する回数の前記調停処理が行われるたびに、前記入力バッファ選択処理の検査対象とする順序にしたがって更新することを特徴とする請求項14に記載のスイッチ制御プログラムを格納した記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ATM (Asynchronous Transfer Mode) 等のパケット通信技術を用いて特定の入力ポートと出力ポートの間でパケットのスイッチングを行うパケット交換装置及びそのスイッチ制御方法ならびにスイッチ制御プログラムを格納した記憶媒体に関する。

【0002】

【従来の技術】 図16は従来のパケット交換装置の構成を示すブロック図、図17は従来のパケット交換装置の動作を説明する図である。従来、この種のパケット交換装置は、図16に示すように、入力ポート100-1～100-n (入力ポート100-3～100-nは図示せず) に到着したパケットを一時的に蓄積する入力バッファ部1610-1～1610-n (入力バッファ部1610-3～1610-nは図示せず) と、パケットをスイッチングするスイッチ交換部1620と、アビタ部1630とを備える。

【0003】スイッチ交換部1620の構成としては、格子状にはりめぐらされた伝送路の交叉点を開閉する (ON/OFFする) 構成が考えられる。この構成では、複数の入力ポートが特定の出力ポートに対して同時にパケットを送信すると、パケット衝突が発生してパケットが運ぶデータが破壊されてしまうので、同一タイミングでは特定の出力ポートへパケットを送信する入力ポートを高々一つに制限する必要がある。

【0004】各入力ポート100-1～100-n毎に用意される入力バッファ部1610-1～1610-nは、それぞれ単一の論理キュー1611を備えている。入力ポート100-1～100-nに到着するパケットを論理キュー1611の最後尾に蓄積すると共に、論理キュー1611の先頭から順にスイッチ交換部1620へ送出する。入力バッファ部1610-1～1610-nは、どの出力ポート101-1～101-n (出力ポート101-3～101-nは図示せず) にパケットを出力したいかを記述した出力要求信号1650をアビタ部1630に発信する。

【0005】アビタ部1630は、パケット衝突が発

生しないように、スイッチ交換部1620のどの入出力ポート間でパケットをスイッチングするかを決定すると共に、調停結果を出力許可信号1651により入力バッファ部1610-1~1610-nに知らせる。

【0006】次に、従来技術の動作を説明する。まず、入力ポート100-1~100-nに到着したパケットは、論理キュー1611の最後尾に蓄積される。入力バッファ部1610-1~1610-nは、論理キュー1611の先頭パケットのヘッダ情報から、当該パケットがどの出力ポート101-1~101-nを宛先としているかを把握し、出力要求信号1650により、アビタ部1630に対して当該宛先である出力ポート101-1~101-1nへの出力要求を通知する。

【0007】アビタ部1630は、全ての入力バッファ部1610-1~1610-nからの出力要求信号1650を総合して、複数の入力バッファ部1610-1~1610-nから同一の出力ポート101-1~101-nに対する出力要求がある場合（競合発生時）には、どれか一つの入力バッファ部1610-1~1610-nのみに 出力許可を与えるように調停を行う。

【0008】所定の出力ポート101-1~101-nに対して一つの入力バッファ部1610-1~1610-nからの出力要求しかない場合、当該出力ポート101-1~101-nに対する出力許可は、当該の入力バッファ部1610-1~1610-nに与える。

【0009】全ての出力ポート101-1~101-nでパケット衝突が発生しないように調停を行った後、出力許可信号1651により、要求受諾または要求却下を入力バッファ部1610-1~1610-nに通知する。

【0010】要求が受け入れられた入力バッファ部1610-1~1610-nは、先頭パケットをスイッチ交換部1620へ送出する。

【0011】スイッチ交換部20は、アビタ部1630から得られる調停結果に基づいて、パケットを所定の出力ポート101-1~101-nへスイッチする。

【0012】図17は、スイッチ交換部1620が四つの入力ポート#0~#3と四つの出力ポート#0~#3との間のスイッチングを行う様子を示す図である。図17を参照すると、入力ポート#0の先頭パケットが出力ポート#2への出力許可を獲得して、スイッチ交換部20の入力ポート#0と出力ポート#2が接続されている。また、入力ポート#1と#2の先頭パケットもまた出力ポート#2への接続を希望しているが、出力ポート#2への出力許可を獲得していないので転送できない状態にある。

【0013】この時、入力ポート#1と#2の先頭パケットの次に蓄積されたパケットに着目すれば、入力ポート(#1, #2)が空き状態で、かつ宛先出力ポート(#1, #0)も空き状態にあるにも関らず、先頭パケ

ットの閉塞により転送できない。これらのパケットの状態は、HOL (Head Of Line) ブロッキング状態と呼ばれ、スループットの劣化やバッファ溢れを引き起こす原因となる。

【0014】また、入力バッファ部1610-1~1610-nの論理キュー1611を出力ポートに対応させて分割し、パケットのヘッダ情報から得られる宛先出力ポート101-1~101-nに対応した論理キュー1611にパケットを蓄積するように構成した場合であっても、各入力バッファ部1610-1~1610-nが同期して出力要求を出す調停方式では、ある出力ポート101-1~101-nへの出力要求が却下されると他の出力ポート101-1~101-nに対応する論理キュー1611の先頭パケットがHOLブロッキング状態に陥ってしまい、スループットが劣化する。

【0015】

【発明が解決しようとする課題】上述したように、従来のパケット交換装置は、複数の入力ポートから入力した複数のパケットが同時に同一の出力ポートへの出力許可を要求する場合、当該出力ポートへの接続が許可されなかつた入力ポートにおいて、当該パケットに続くパケットに関して、例え宛先出力ポートが空き状態であっても転送ができないというHOLブロッキングが発生し、スループットの劣化やバッファ溢れを引き起こすという欠点が有った。

【0016】また、入力バッファ部の論理キューを出力ポートに対応させて分割し、宛先出力ポートに対応した論理キューにパケットを蓄積するように構成した場合であっても、各入力バッファ部が同期して出力要求を出す調停方式では、ある出力ポートへの出力要求が却下されると他の出力ポートに対応する論理キューの先頭パケットがHOLブロッキング状態に陥ってしまい、スループットが劣化するという欠点が有った。

【0017】本発明は、上記従来の欠点を解決し、HOLブロッキングの発生を回避して、スループットの向上とバッファ溢れ頻度の低減を実現するパケット交換装置及びそのスイッチ制御方法ならびにスイッチ制御プログラムを格納した記憶媒体を提供することを目的とする。

【0018】

【課題を解決するための手段】上記の目的を達成する本発明は、パケット通信で用いられ、複数の入力ポートと複数の出力ポートとの間でスイッチングを行うパケット交換装置において、前記入力ポートごとに設けられ、対応する入力ポートに到着するパケットを一時的に蓄積する入力バッファと、前記入力ポートと前記出力ポートとの接続を制御してパケットを交換するスイッチ交換手段と、前記入力バッファのうちのいずれに所定の前記出力ポートへの出力許可を与えるかを決定する調停処理を行うアビタとを備え、前記アビタが、前記各入力バッファと前記各出力ポートとに関して、所定の順番で、前

記入力バッファにおいてパケット出力準備ができている宛先出力ポートと空き状態の前記出力ポートとを比較し、一致する前記入力バッファと前記出力ポートとを対応づけて出力許可を与えることを特徴とするパケット交換装置。

【0019】請求項2の本発明のパケット交換装置は、前記アービタ手段が、前記各入力バッファを、予め定められた順序にしたがって着目し、着目中の前記入力バッファに関して、予め定められた順序にしたがって前記各出力ポートに対するパケット出力が可能かどうかを順次検査することによりパケットの出力先の宛先である出力ポートを決定する出力ポート選択処理を行うことを特徴とする。

【0020】請求項3の本発明のパケット交換装置は、前記アービタ手段が、最初に着目する前記入力バッファを、前記調停処理が行われるたびに、前記入力バッファに着目する順序にしたがって更新し、前記出力ポート選択処理において最初に検査対象となる前記出力ポートを、ポート数に相当する回数の前記調停処理が行われるたびに、前記出力ポート選択処理の検査対象とする順序にしたがって更新することを特徴とする。

【0021】請求項4の本発明のパケット交換装置は、前記アービタ手段が、前記出力ポートを、予め定められた順序にしたがって着目し、着目中の前記出力ポートに関して、予め定められた順序にしたがって前記各入力バッファが該着目中の出力ポートに対するパケット出力可能かどうかを順次検査することにより該着目中の出力ポートを宛先としてパケット出力を行う前記入力バッファを決定する入力バッファ選択処理を行うことを特徴とする。

【0022】請求項5の本発明のパケット交換装置は、前記アービタ手段が、最初に着目する前記出力ポートを、前記調停処理が行われるたびに、前記出力ポートに着目する順序にしたがって更新し、前記入力バッファ選択処理において最初に検査対象となる前記入力バッファを、ポート数に相当する回数の前記調停処理が行われるたびに、前記入力バッファ選択処理の検査対象とする順序にしたがって更新することを特徴とする。

【0023】上記の目的を達成する他の本発明は、パケット通信で用いられ、複数の入力ポートと複数の出力ポートとの間のスイッチングを行うパケット交換装置のスイッチ制御方法において、前記入力ポートに到着したパケットを前記入力ポートに対応して設けられたバッファ手段に一時的に蓄積し、前記各バッファ手段と前記各出力ポートとに関して、所定の順番で、前記バッファ手段においてパケット出力準備ができている宛先出力ポートと空き状態の前記出力ポートとを比較し、一致する前記入力バッファと前記出力ポートとを対応づけて出力許可を与える調停処理を行い、前記調停処理の結果に応じて、前記入力ポートと前記出力ポートとの接続を制御して、前記入力ポートと前記出力ポートとの接続を制御し

てパケットを交換することを特徴とする。

【0024】請求項7の本発明のスイッチ制御方法は、前記調停処理において、前記各入力バッファを、予め定められた順序にしたがって着目し、着目中の前記入力バッファに関して、予め定められた順序にしたがって前記各出力ポートに対するパケット出力が可能かどうかを順次検査することによりパケットの出力先の宛先である出力ポートを決定する出力ポート選択処理を行うことを特徴とする。

【0025】請求項8の本発明のスイッチ制御方法は、前記調停処理において、最初に着目する前記入力バッファを、前記調停処理が行われるたびに、前記入力バッファに着目する順序にしたがって更新し、前記出力ポート選択処理において最初に検査対象となる前記出力ポートを、ポート数に相当する回数の前記調停処理が行われるたびに、前記出力ポート選択処理の検査対象とする順序にしたがって更新することを特徴とする。

【0026】請求項9の本発明のスイッチ制御方法は、前記調停処理において、前記出力ポートを、予め定められた順序にしたがって着目し、着目中の前記出力ポートに関して、予め定められた順序にしたがって前記各入力バッファが該着目中の出力ポートに対するパケット出力可能かどうかを順次検査することにより該着目中の出力ポートを宛先としてパケット出力を行う前記入力バッファを決定する入力バッファ選択処理を行うことを特徴とする。

【0027】請求項10の本発明のスイッチ制御方法は、前記調停処理において、最初に着目する前記出力ポートを、前記調停処理が行われるたびに、前記出力ポートに着目する順序にしたがって更新し、前記入力バッファ選択処理において最初に検査対象となる前記入力バッファを、ポート数に相当する回数の前記調停処理が行われるたびに、前記入力バッファ選択処理の検査対象とする順序にしたがって更新することを特徴とする。

【0028】上記の目的を達成するさらに他の本発明は、パケット通信で用いられ、複数の入力ポートと複数の出力ポートとの間のスイッチングを行うパケット交換装置を制御して、スイッチングの制御を行うスイッチ制御プログラムを格納した記憶媒体において、前記入力ポートに到着したパケットを前記入力ポートに対応して設けられたバッファ手段に一時的に蓄積し、前記各バッファ手段と前記各出力ポートとに関して、所定の順番で、前記バッファ手段においてパケット出力準備ができている宛先出力ポートと空き状態の前記出力ポートとを比較し、一致する前記入力バッファと前記出力ポートとを対応づけて出力許可を与える調停処理を行い、前記調停処理の結果に応じて、前記入力ポートと前記出力ポートとの接続を制御してパケットを交換することを特徴とする。

【0029】以上のように構成される本発明は、前記各

入力バッファと前記各出力ポートとに関して、所定の順番で、前記入力バッファにおいてパケット出力準備ができている宛先出力ポートと空き状態の前記出力ポートとを比較し、一致する前記入力バッファと前記出力ポートとを対応づけて出力許可を与えることにより、複数の入力バッファ部からの出力要求が衝突した場合に、所定の入力バッファ部からパケットを出力できなくなるHOLブロッキングが発生することを回避することができる。

【0030】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。図1は、本発明の一実施形態によるパケット交換装置の構成を示すブロック図である。図1を参照すると本実施形態のパケット交換装置は、入力ポートごとに設けられた入力バッファ部10-1～10-n（入力バッファ部10-3～10-nは図示せず）と、スイッチ交換部20、メインアービタ部30とを備える。なお、図1には、本実施形態における特徴的な構成のみを記載し、他の一般的な構成については記載を省略してある。

【0031】本実施形態のパケット交換装置は、例えば、プログラム制御されたマイクロプロセッサとラムその他の内部メモリとで実現される。マイクロプロセッサを制御するコンピュータプログラムであるスイッチ制御プログラムは、磁気ディスクや光ディスク、半導体メモリ、その他の一般的な記憶媒体に格納して提供され、内部メモリにロードされてマイクロプロセッサを制御することにより、各構成要素を実現する。

【0032】上記構成において、入力バッファ部10-1～10-nは、論理キュー11-1～11-nと、パケット入力部12と、フロー情報データベース13と、サブアービタ部14と、パケット出力部15を備える。入力バッファ部10-1～10-nには、識別のための番号が割り当てられている。本実施形態では、ポート数をNとして、0～N-1の整数が割り当てる。

【0033】入力ポート100-1～100-n（入力ポート100-3～100-nは図示せず）と出力ポート101-1～101-n（出力ポート101-3～101-nは図示せず）の間でパケットをスイッチングするスイッチ交換部20は、例えば、格子状にはりめぐらされた伝送路の交叉点を開閉する（ON/OFFする）構成とすることができます。

【0034】入力ポート100-1～100-n及び出力ポート101-1～101-nには、識別のための番号が割り当てられている。例えば、ポート数をNとすると、0～N-1の整数が割り当てられている。ただし、入力ポートの番号と、その入力ポートに設置された入力バッファ部の番号は一致するものとする。

【0035】入力バッファ部10-1～10-nは、出力ポート101-1～101-nに対応して区別される論理キュー11-1～11-nをその内部に構築し、入

力ポート100-1～100-nに到着するパケットを宛先出力ポート101-1～101-n毎に区別して蓄積する。本実施形態では、説明の簡単化のために、論理キュー11-1～11-nは宛先出力ポート101-1～101-n別にパケットを蓄積するとしているが、フロー別に蓄積する場合でも何ら変更を加えることなく本発明を適用することができ、同一の効果が期待できる。また、入力バッファ部10-1～10-nに構築される出力ポートに対応した論理キュー11-1～11-nをサービスクラス毎に用意することによって、容易にマルチトラヒッククラス環境を提供することができる。本実施形態では、説明の簡単化のために、サービスクラスが一つである場合を想定しているが、実際には、所望のサービスクラスの分だけ用意することができる。

【0036】パケット入力部12は、入力ポート100-1～100-nに到着するパケットのヘッダ部分からフロー識別子を抽出し、フロー識別子をキーとしてフロー情報データベース13を参照することにより、当該パケットが属するサービスクラスや宛先出力ポートを認識する。そして、当該識別結果を基に適切な論理キュー11-1～11-nにパケットを蓄積する。

【0037】図2は、サブアービタ部14の構成を示すブロック図である。図2に示すように、サブアービタ部14は、出力要求信号送信部141と、出力許可信号受信部142とから構成される。

【0038】出力要求信号送信部141は、出力可能なパケットを有する論理キューについての情報、すなわちどの出力ポートにパケットを出力する準備ができるいるかを伝えるための出力要求信号50を生成して、メインアービタ部30に送信する。図3は、出力要求信号50のフォーマットの一例である。本実施形態においては、パケットを出力可能な宛先出力ポートの欄には「1」を記述し、それ以外には「0」を記述する構成としている。

【0039】出力許可信号受信部142は、出力許可が与えられたかどうかを示す出力許可信号51をメインアービタ部30から受信して、パケットを出力すべき宛先出力ポートをパケット出力部15に通知する。図4は、出力許可信号51のフォーマットの一例である。本実施形態においては、出力許可信号51は、入力バッファ部に出力許可を与えたか否かを示す情報（ACK/NACK）と、どの宛先出力ポートへの出力許可を与えたかを示す情報から構成される。

【0040】パケット出力部15は、サブアービタ部14から通知される宛先出力ポートに対応した論理キューの先頭パケットを取り出して入力ポート100-1～100-nに伝送する。

【0041】図5は、メインアービタ部30の構成を示すブロック図である。図5を参照すると、メインアービタ部30は、調停制御部31と、出力要求信号受信部3

2と、出力許可信号送信部33と、出力要求状況管理メモリ34とを備える。メインアービタ部30は、調停処理を実行すると共に、調停結果に従って入力ポート100-1～100-nと出力ポート101-1～101-nの間でパケット交換するようにスイッチ交換部20を制御する。

【0042】図6は、出力要求状況管理メモリ34に格納される出力要求状況テーブルの一例である。図示のように、出力要求状況テーブルには、入力バッファ部10-1～10-nからどの出力ポート宛てにパケットを出力可能であるかの情報が格納される。図6において、「1」は出力可能であることを示し、「0」は出力不可能であることを示す。

【0043】図7は、調停制御部31の構成を示すブロック図である。図7に示すように、調停制御部31は、ポート番号制御部311とセレクタ部312とから構成される。ポート番号制御部311は、入力ポート番号X／出力ポート番号Yを保存／更新したり、どの入力バッファ部にどの出力ポート宛の出力許可を与えたかの履歴情報を保存する。セレクタ部312は、どの入力バッファ部にはどの出力ポートへの出力許可を与えるかを決定するための出力ポート選択処理／入力バッファ選択処理を実行する。

【0044】出力要求信号受信部32は、入力バッファ部10-1～10-nから出力要求信号50を受信して、入力バッファ部10-1～10-nはどの出力ポートにパケットを出力可能であるかを出力要求状況テーブル34に記録する。

【0045】出力許可信号送信部33は、出力を許可した宛先出力ポートについての情報を伝えるための出力許可信号51を生成して、入力バッファ部10-1～10-nに通知する。

【0046】図8は、調停制御部31による調停処理の動作を示すフローチャートである。図8を参照すると、まず、ポート番号制御部311は、入力ポート番号Xと出力ポート番号Yを決定する（ステップ801）。このステップでは、入力ポート番号Xは、調停処理の開始の度に予め決められた入力ポート順序に従う次の順番の値に更新し、出力ポート番号Yは、ポート数に相当する回数分の調停処理が実行された後に、予め決められた出力ポート順序に従う次の順番の値に更新する処理が実行される。予め決められた入力ポート順序／出力ポート順序の決め方については種々の方法を用いることができるが、本実施形態では、若番順（#0→#1→#2→…→#N-1）とする。番号N-1の次は、番号0に帰着する。ただし、当該順序は一例に過ぎず他の方法で定めた順序でも良いことは言うまでもない。また、出力ポート番号Yを更新するタイミングは、調停処理が実行される度に減数されるカウンタにより制御される。すなわち、カウンタがゼロの時に、出力ポート番号Yを更新す

ると共に、カウンタにポート数Nを設定するように構成すればよい。

【0047】図9は、入力ポート番号Xと出力ポート番号Yの更新の様子を示す。図9を参照すると、ポート数N=4の場合に、入力ポート番号Xは、調停処理の度に変更されるが、出力ポート番号Yは、4回の調停処理毎に変更されている。

【0048】次に、変数Aに番号Xを、変数Bに0を入力し（ステップ802）、変数Bをポート数Nと比較する（ステップ803）。そして、変数BがN未満であれば、セレクタ部312が、出力ポート選択処理を実行する（ステップ804）。一方、変数BがN以上であれば、調停処理を終了する。

【0049】セレクタ部312による出力ポート選択処理では、まず、番号Aの入力バッファ部（以下、入力バッファAと表記）において、番号Yの出力ポート（以下、出力ポートYと表記）から始まる出力ポート順序で出力可能かどうかを検査する。そして、出力ポートが他の入力バッファ部により占有されておらず、かつその出力ポート宛にパケット出力準備ができていれば、入力バッファAにその出力ポートにパケットを出力することを許可する。出力ポートが他の入力バッファ部により占有されているかどうかは、セレクタ部312が保持する出力ポート別の内部変数により把握できる。この内部変数は、調停開始前に「0」にリセットされ、出力ポートが入力バッファ部により占有される度に、対応する内部変数を「1」に更新する。入力バッファ部が出力ポート宛にパケット出力準備ができているかどうかは、出力要求状況管理メモリ34に格納されている出力要求状況テーブルを参照することで把握できる。また、本実施形態では、出力ポート選択処理で出力可能かどうかを検査する出力ポートの順番は若番順とし、番号N-1の次は、番号0に帰着する。ただし、これは一例に過ぎず、検査する順番を他の順番としても良いのは言うまでもない。

【0050】以上のようにして、入力バッファAに対する出力ポート選択処理が終了した後、変数Bに1を加算し、変数Aを更新する（ステップ805）。その後、ステップ803に戻って変数Bによる判定処理を実行し、変数BがN未満であれば、入力バッファAに対する出力ポート選択処理を実行し、変数BがN以上であれば、全ての入力バッファ部に対する出力ポート選択処理が完了したことになり、調停処理を終了する。本実施形態では、出力ポート選択処理を行う入力バッファ部の順番は若番順とし、番号N-1の次は、番号0に帰着する。したがって、本実施形態のステップ805では、変数Aに1を加算した値をポート数Nで除算し、その余りをAに上書き設定する。ただし、これは一例に過ぎず、出力ポート選択処理を行う入力バッファ部の順番を他の順番としても良いのは言うまでもない。

【0051】調停処理を完了したメインアービタ部30

は、出力許可信号送信部33を介して出力許可を入力バッファ部10-1～10-nに伝達すると共に、出力許可に基づく入力ポート100-1～100-nと出力ポート101-1～101-nの間でパケットがスイッチングされるようにスイッチ交換部20を制御する。

【0052】図10は、ポート数N=4のパケット交換装置において、調停処理を行う場合の動作例を示す。ここで、入出力ポート番号/入力バッファ番号としては0、1、2、3が割り当てられるとする。出力要求状況管理メモリ34に格納される出力要求状況テーブルを参照することによって、入力バッファ部#0は、出力ポート#2に対する出力準備ができている。入力バッファ部#1は、出力ポート#0、#1、#2に対する出力準備ができている。入力バッファ部#2は、出力ポート#2、#3に対する出力準備ができている。入力バッファ部#3は、出力ポート#0、#3に対する出力準備ができている。

【0053】まず、ポート番号制御部311は、入力ポート番号Xと出力ポート番号Yをそれぞれ決定する。前述の通り、入力ポート番号Xは調停処理の度に更新されるが、出力ポート番号Yは、N=4回の調停処理毎に更新される。本実施形態では、入力ポート番号XはX=2、出力ポート番号YはY=3に決定されたとする。また、セレクタ部312は、変数Aと変数Bを用いた制御により、#2→#3→#0→#1に従う入力バッファ順で出力ポート選択処理を行う。また、入力バッファ部における出力ポート選択処理では、#3→#0→#1→#2に従う出力ポート順で出力可能かどうか検査する。

【0054】初期状態では、全ての出力ポートはどの入力バッファ部にも占有されていないので、入力バッファ部#2に対する出力ポート選択処理では、出力ポート#3→#0→#1→#2に従う順序で検査した結果、入力バッファ部#2は出力ポート#3に対する出力許可を獲得する。

【0055】次に、入力バッファ部#3に対する出力ポート選択処理を実行して、出力ポート#3→#0→#1→#2に従う順序で検査するが、すでに出力ポート#3は入力バッファ部#2によって占有されているので、空いている出力ポート#0の出力許可を獲得する。以下、入力バッファ部#0→#1の順で出力ポート選択処理を実行して、空いている出力ポートのうち、それぞれ出力ポート#2、#1の出力許可を獲得する。

【0056】以上のようにして、図10の状態から全ての入力バッファ部に対する出力ポート選択処理が終了した時点の状態を図11に示す。

【0057】全ての入力バッファ部に対する出力ポート選択処理が終了したならば、出力要求状況管理メモリ34に格納される出力要求状況テーブルの要素のうち、成立した出力許可に相当する入力ポートと出力ポートの組み合わせで決定される要素を「0」に設定する。また、

メインアービタ部30は、成立した出力許可に相当する入力ポートと出力ポートの間でパケットが交換されるようスイッチ交換部20を制御する。

【0058】以上のように、本実施形態によれば、入力バッファ部10-1～10-nが順に出力ポートを決定していくことにより、複数の入力バッファ部10-1～10-nからの出力要求が衝突して所定の入力バッファ部10-1～10-nがパケットを送信できなくなるHOLプロッキングの発生が回避されるため、スループットの向上とバッファ溢れ頻度の低減が達成される。

【0059】また、定期的に開始される調停処理において、最初に出力ポート選択処理を実行する入力バッファ部10-1～10-nを、調停処理を実行するたびにずらしていくので、入力バッファ間で公平なパケットサービスが実現される。

【0060】さらに、各入力バッファ部10-1～10-nで実行される出力ポート選択処理の宛先出力ポートの検査順序に関して、最初に検査する出力ポートを、N回の調停処理を実行するたびにずらしていくので、各入力バッファ部10-1～10-nにおいて、宛先出力ポート間で公平なパケットサービスが実現される。

【0061】図12は、調停制御部31による調停処理の動作の他の例を示すフローチャートである。図12を参照すると、まず、ポート番号制御部311は、入力ポート番号Xと出力ポート番号Yを決定する（ステップ1201）。このステップでは、入力ポート番号Xは、ポート数に相当する回数分の調停処理が実行されると、予め決められた入力ポート順序に従う次の順番の値に更新し、出力ポート番号Yは、調停処理の開始の度に予め決められた出力ポート順序に従う次の順番の値に更新する処理が実行される。予め決められた入力ポート順序/出力ポート順序の決め方については種々の方法を用いることができるが、本実施形態では、若番順（#0→#1→#2→…→#N-1）とする。番号N-1の次は、番号0に帰着する。ただし、当該順序は一例に過ぎず他の方法で定めた順序でも良いことは言うまでもない。また、入力バッファ番号Xを更新するタイミングは、調停処理が実行される度に減数されるカウンタにより制御される。カウンタがゼロの時に、入力バッファ番号Xを更新すると共に、カウンタにポート数Nを設定するように構成すればよい。

【0062】図13は、入力ポート番号Xと出力ポート番号Yの更新の様子を示す。図13を参照すると、ポート数N=4の場合に、入力ポート番号Xは、4回の調停処理毎に変更されるが、出力ポート番号Yは、調停処理の度に変更されている。

【0063】次に、変数Aに番号Yを、変数Bに0を入力し（ステップ1202）、変数Bをポート数Nと比較する（ステップ1203）。そして、変数BがN未満であれば、セレクタ部312が、入力バッファ選択処理を

実行する（ステップ1204）。もし、変数BがN以上であれば、調停処理を終了する。

【0064】セレクタ部312による入力バッファ選択処理では、まず、番号Aの出力ポート（以下、出力ポートAと表記）において、番号Xの入力バッファ部（以下、入力バッファAと表記）から始まる入力バッファ順序で出力可能かどうか検査する。そして、入力バッファ部は他の出力ポートへの出力許可を獲得しておらず、かつその出力ポート宛にパケット出力準備ができていれば、その入力バッファ部に出力ポートAにパケットを出力することを許可する。入力バッファ部が他の出力ポートへの出力許可を獲得しているかどうかは、セレクタ部312が保持する入力バッファ部別の内部変数により把握できる。この内部変数は調停開始前に「0」にリセットされ、入力バッファ部が出力許可を獲得する度に、対応する内部変数を「1」に更新する。入力バッファ部が出力ポート宛にパケット出力準備ができているかどうかは、出力要求状況管理メモリ34に格納される出力要求状況テーブルを参照することで把握できる。また、本実施形態では、入力バッファ選択処理で出力可能か検査する入力バッファ部の順番は、若番順とし、番号N-1の次は、番号0に帰着する。ただし、これは一例に過ぎず、検査する順番を他の順番としても良いのは言うまでもない。

【0065】以上のようにして、出力ポートAに対する入力バッファ選択処理が終了すると、変数Bに1を加算し、変数Aを更新する（ステップ1205）。その後、ステップ1203に戻って変数Bによる判定処理を実行し、変数BがN未満であれば、出力ポートAに対する入力バッファ選択処理を実行し、変数BがN以上であれば、全ての出力ポートに対する入力バッファ選択処理が完了したことになり、調停処理を終了する。本実施形態では、入力バッファ選択処理を行う出力ポートの順番は若番順とし、番号N-1の次は、番号0に帰着する。したがって、本実施形態のステップ1205では、変数Aに1を加算した値をポート数Nで除算した余りをAに上書き設定する。ただし、これは一例に過ぎず、入力バッファ選択処理を行う入力バッファ部の順番を他の順番としても良いのは言うまでもない。

【0066】調停処理を完了したメインアービタ部30は、出力許可信号送信部33を介して出力許可を入力バッファ部10-1~10-nに伝達すると共に、出力許可に基づく入力ポート100-1~100-nと出力ポート101-1~101-nの間でパケットがスイッチングされるようにスイッチ交換部20を制御する。

【0067】図14は、ポート数N=4のパケット交換装置において、調停処理を行う場合の動作例を示す。ここで、入出力ポート番号/入力バッファ番号としては0、1、2、3が割り当てられるとする。出力要求状況管理メモリ34に格納される出力要求状況テーブルを参

照することによって、入力バッファ部#0は、出力ポート#2に出力準備ができている。入力バッファ部#1は、出力ポート#0、#1、#2、#3に出力準備ができている。入力バッファ部#2は、出力ポート#1、#3に出力準備ができている。入力バッファ部#3は、出力ポート#0、#3に出力準備ができている。

【0068】まず、ポート番号制御部311は、入力ポート番号Xと出力ポート番号Yをそれぞれ決定する。前述の通り、入力ポート番号XはN回の調停処理毎に変更されるが、出力ポート番号Yは、調停処理の度に変更される。本実施形態では、入力ポート番号XはX=3、出力ポート番号YはY=2に決定されたとする。また、セレクタ部312は、変数AとBを用いた制御により、#2→#3→#0→#1に従う出力ポート順で入力バッファ選択処理を行う。また、出力ポートにおける入力バッファ選択処理では、#3→#0→#1→#2に従う入力バッファ順で出力可能かどうか検査する。

【0069】初期状態では、全ての入力バッファ部はどの出力ポートの出力許可を獲得していないので、出力ポート#2に対する入力バッファ選択処理では、入力バッファ#3→#0→#1→#2に従う順序で検査した結果、出力ポート#2は入力バッファ部#0に出力許可を与える。

【0070】次に、出力ポート#3に対する入力バッファ選択処理を実行して、入力バッファ#3→#0→#1→#2に従う順序で検査するが、出力ポート#3は入力バッファ部#3に出力許可を与える。以下、出力ポート#0→1の順で入力バッファ選択処理を実行して、空いている入力バッファ部のうち、それぞれ入力バッファ部#1、#2に出力許可を与える。

【0071】以上のようにして、図14の状態から全ての出力ポートに対する入力バッファ選択処理が終了した時点の状態を図15に示す。

【0072】全ての出力ポートに対する入力バッファ選択処理が終了したならば、出力要求状況管理メモリ34に格納される出力要求状況テーブルの要素のうち、成立した出力許可に相当する入力ポートと出力ポートの組み合わせで決定される要素を「0」に設定する。また、メインアービタ部30は、成立した出力許可に相当する入力ポートと出力ポートの間でパケットが交換されるようにスイッチ交換部20を制御する。

【0073】以上のように、本実施形態によれば、各出力ポート101-1~101-nが順に出力許可を与える入力バッファ部を決定していくことにより、複数の入力バッファ部10-1~10-nからの出力要求が衝突して所定の入力バッファ部10-1~10-nがパケットを送信できなくなるHOLブロッキングが発生することはない、スループットの向上とバッファ溢れ頻度の低減が達成される。

【0074】また、定期的に開始される調停処理におい

て、最初に入力バッファ選択処理を実行する出力ポート $101-1 \sim 101-n$ を調停処理の実行するたびにずらしていくので、出力ポート間で片寄ったパケットサービスを提供しなくなる。

【0075】さらに、各出力ポート $101-1 \sim 101-n$ で実行される入力バッファ選択処理の入力バッファ部 $10-1 \sim 10-n$ の検査順序に関して、最初に検査する入力バッファ部をポート数に相当する回数の調停処理を実行するたびにずらしていくので、出力ポートは各入力バッファ部に公平なパケットサービスを提供する。

【0076】以上、好ましい実施の形態をあげて本発明を説明したが、本発明は必ずしも上記実施の形態に限定されるものではない。

【0077】

【発明の効果】以上説明したように、本発明のパケット交換装置及びそのスイッチ制御方法ならびにスイッチ制御プログラムを格納した記憶媒体によれば、各入力バッファ部が順に出力許可を獲得する出力ポートを決定していくことにより、複数の入力バッファ部からの出力要求が衝突した場合に、所定の入力バッファ部からパケットを出力できなくなるHOLプロッキングが発生することを回避できるため、スループットの向上とバッファ溢れ頻度の低減が達成されるという効果がある。

【0078】また、定期的に開始される調停処理において、最初に出力ポート選択処理を実行する入力バッファ部を調停処理の実行と共にずらしていくので、入力バッファ間で公平なパケットサービスが実現される。

【0079】さらに、各入力バッファ部で実行される出力ポート選択処理の宛先出力ポートの検査順序に関して、最初に検査する出力ポートをN回の調停処理を実行すると共にずらしていくので、各入力バッファでは宛先出力ポート間で公平なパケットサービスが実現される。

【0080】また、本発明によれば、各出力ポートが順に出力許可を与える入力バッファ部を決定していくことにより、複数の入力バッファ部からの出力要求が衝突した場合に、所定の入力バッファ部からパケットを出力できなくなるHOLプロッキングが発生することを回避できるため、スループットの向上とバッファ溢れ頻度の低減が達成されるという効果がある。

【0081】また、定期的に開始される調停処理において、最初に入力バッファ選択処理を実行する出力ポートを調停処理の実行と共にずらしていくので、出力ポート間で片寄ったパケットサービスを提供しなくなる。

【0082】さらに、各出力ポートで実行される入力バッファ選択処理の入力バッファ部の検査順序に関して、最初に検査する入力バッファ部をN回の調停処理を実行する度にずらしていく構成にしたので、出力ポートは各入力バッファに公平なパケットサービスを提供することができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態によるパケット交換装置の構成を示すブロック図である。

【図2】 本実施形態における入力バッファ部のサブアービタ部の構成を示すブロック図である。

【図3】 本実施形態における出力要求信号のフォーマットの一例を示す図である。

【図4】 本実施形態における出力許可信号のフォーマットの一例を示す図である。

【図5】 本実施形態におけるメインアービタ部の構成を示すブロック図である。

【図6】 本実施形態におけるメインアービタ部の出力要求状況管理メモリに格納される出力要求状況テーブルの例を示す図である。

【図7】 本実施形態におけるメインアービタ部の調停制御部の構成を示すブロック図である。

【図8】 本実施形態の調停制御部による調停処理の動作例を示すフローチャートである。

【図9】 図8の動作における入力ポート番号Xと出力ポート番号Yの更新の様子を示す図である。

【図10】 図8の動作例において、ポート数N=4のパケット交換装置により調停処理を行う場合の動作例を示す図である。

【図11】 図10の状態から全ての入力バッファ部に対する出力ポート選択処理が終了した時点の状態を示す図である。

【図12】 本実施形態の調停制御部による調停処理の他の動作例を示すフローチャートである。

【図13】 図12の動作における入力ポート番号Xと出力ポート番号Yの更新の様子を示す図である。

【図14】 図12の動作例において、ポート数N=4のパケット交換装置により調停処理を行う場合の動作例を示す図である。

【図15】 図14の状態から全ての出力ポートに対する入力バッファ選択処理が終了した時点の状態を示す図である。

【図16】 従来のパケット交換装置の構成を示すブロック図である。

【図17】 従来のパケット交換装置の動作を説明する図である。

【符号の説明】

10-1～10-n 入力バッファ部

11-1～11-n 論理キー

12 パケット入力部

13 フロー情報データベース

14 サブアービタ部

15 パケット出力部

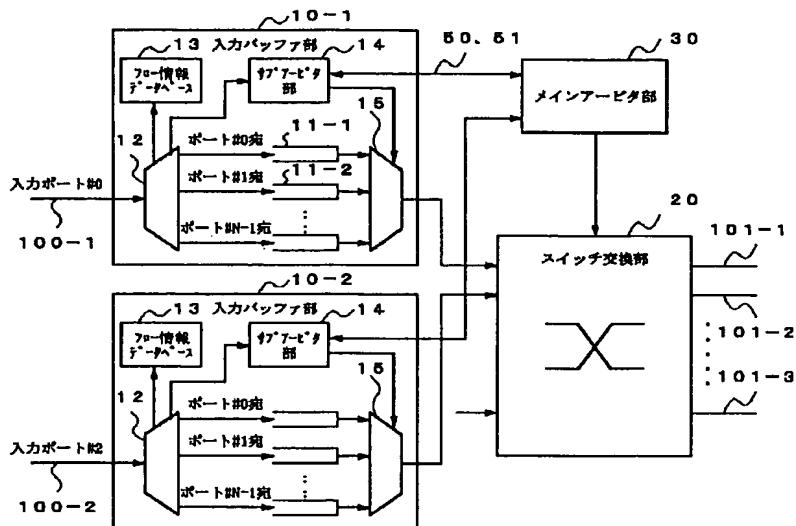
20 スイッチ交換部

30 メインアービタ部

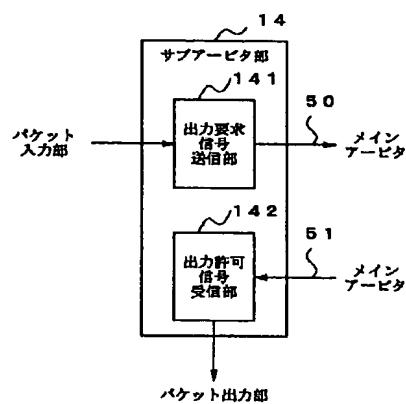
100-1～100-n 入力ポート

101-1～101-n 出力ポート

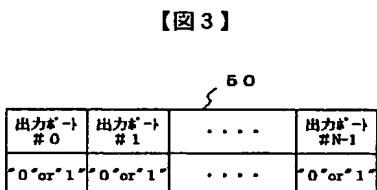
【図1】



【図2】



【図6】



1:出力可能
0:出力不可能

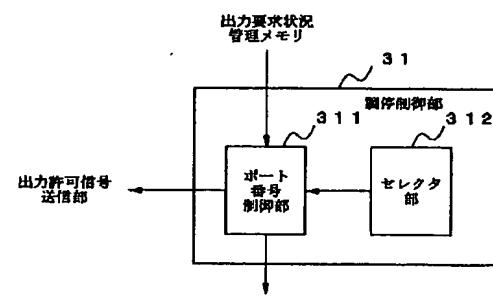
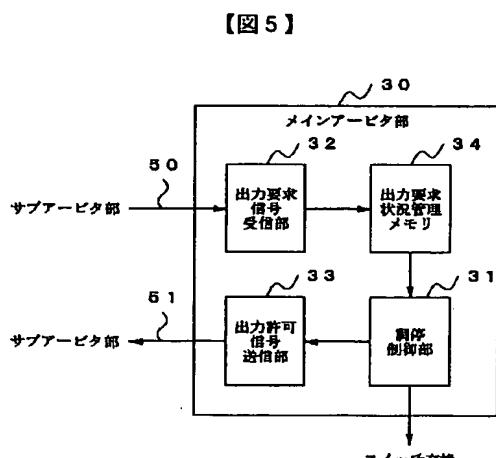


1:出力可能
0:出力不可能

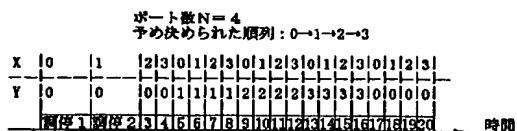
【図4】

	出力ポート番号#0	...	出力ポート番号#N-1
入力ポート番号#0	"0"or"1"	...	"0"or"1"
:	:	...	:
入力ポート番号#N-1	"0"or"1"	...	"0"or"1"

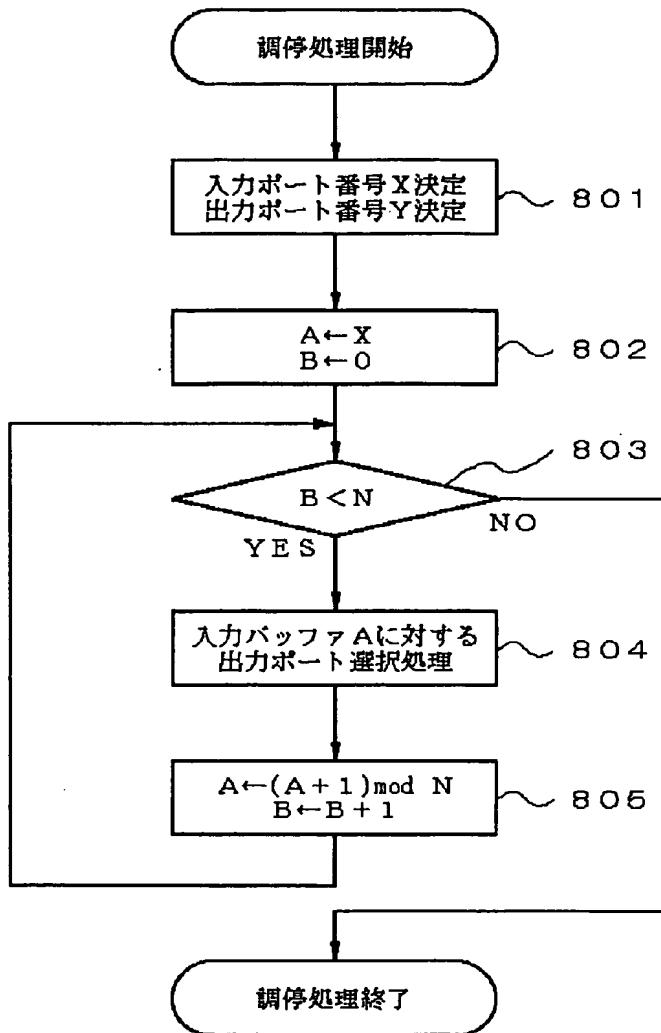
【図7】



【図9】



【図8】

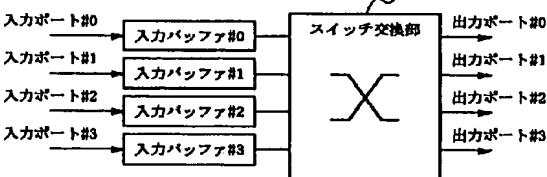


【図10】

X, Yの決定
X=2, Y=3
出力ポート選択処理を行う入力バッファ順序
X=2→8→0→1
出力ポート選択処理で検査する出力ポート順序
Y=3→0→1→2

	出力ポート番号#0	出力ポート番号#1	出力ポート番号#2	出力ポート番号#3
入力ポート番号#0	0	0	1	0
入力ポート番号#1	1	1	1	0
入力ポート番号#2	0	0	1	1
入力ポート番号#3	1	0	0	1

1:出力可能
0:出力不可能

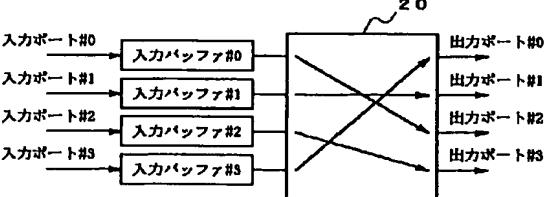


【図11】

X, Yの決定
X=2, Y=3
出力ポート選択処理を行う入力バッファ順序
X=2→8→0→1
出力ポート選択処理で検査する出力ポート順序
Y=3→0→1→2

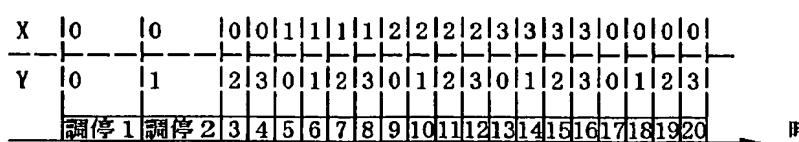
	出力ポート番号#0	出力ポート番号#1	出力ポート番号#2	出力ポート番号#3
入力ポート番号#0	0	0	1→0	0
入力ポート番号#1	1	1→0	1	0
入力ポート番号#2	0	0	1	1→0
入力ポート番号#3	1→0	0	0	1

1:出力可能
0:出力不可能



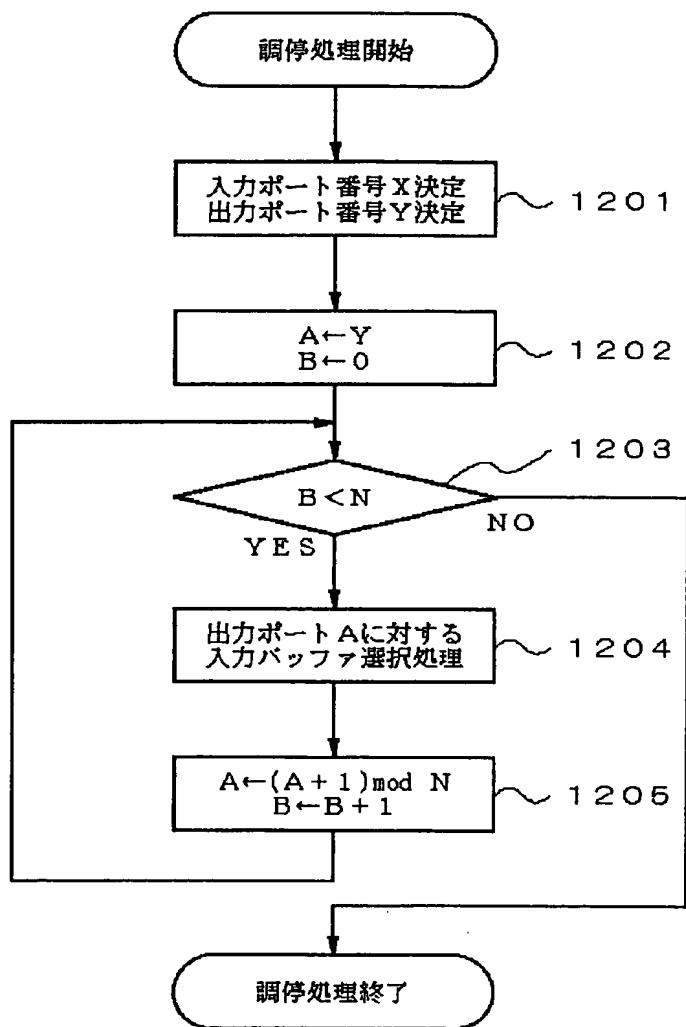
【図13】

ポート数N=4
予め決められた順列: 0→1→2→3

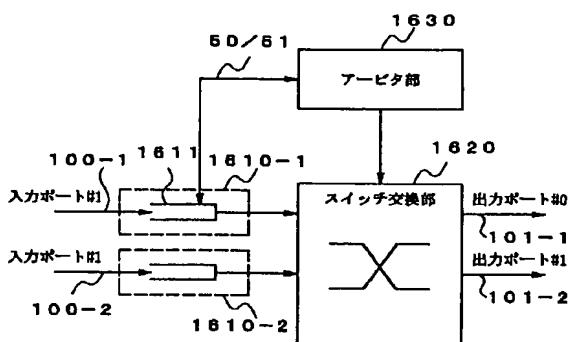


時間

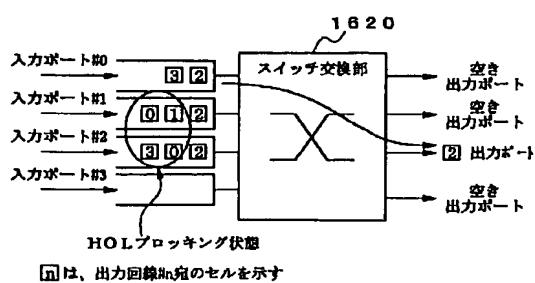
【図12】



【図16】



【図17】

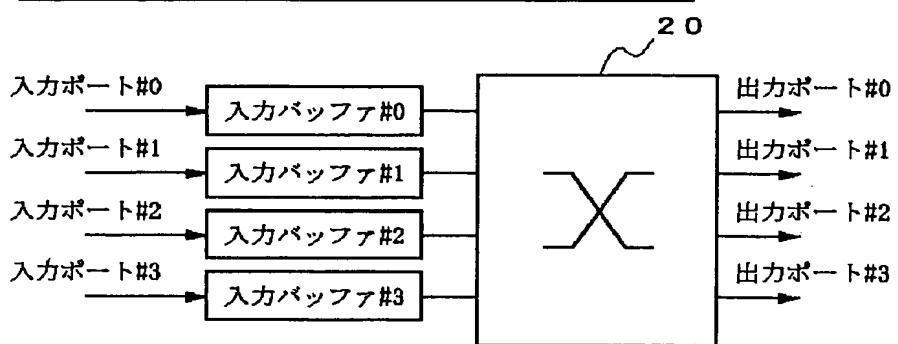


【図14】

X、Yの決定
 X=3、Y=2
 出力ポート選択処理を行う入力バッファ順序
 Y=2→3→0→1
 出力ポート選択処理で検査する出力ポート順序
 X=3→0→1→2

入力ポート番号#0	出力ポート番号#0	出力ポート番号#1	出力ポート番号#2	出力ポート番号#3
入力ポート番号#0	0	0	1	0
入力ポート番号#1	1	1	1	1
入力ポート番号#2	0	1	0	1
入力ポート番号#3	1	0	0	1

1:出力可能
 0:出力不可能



【図15】

X、Yの決定
 X=3、Y=2
 出力ポート選択処理を行う入力バッファ順序
 Y=2→3→0→1
 出力ポート選択処理で検査する出力ポート順序
 X=3→0→1→2

入力ポート番号#	出力ポート番号#0	出力ポート番号#1	出力ポート番号#2	出力ポート番号#3
入力ポート番号#0	0	0	1→0	0
入力ポート番号#1	1→0	1	0	1
入力ポート番号#2	0	1→0	0	1
入力ポート番号#3	1	0	0	1→0

1: 出力可能
 0: 出力不可能

